

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-66885

(43)公開日 平成6年(1994)3月11日

(51)Int.Cl.⁵

G 0 1 R 31/28

識別記号

庁内整理番号

F I

技術表示箇所

6912-2G

G 0 1 R 31/ 28

G

審査請求 未請求 請求項の数2(全 8 頁)

(21)出願番号 特願平4-221332

(22)出願日 平成4年(1992)8月20日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 鎌田 剛弘

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

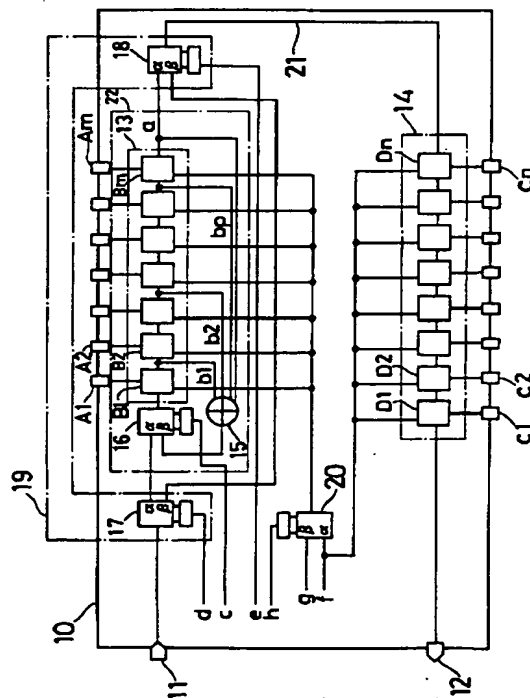
(74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】 バウンダリースキャン回路

(57)【要約】

【目的】 集積回路の配線テストにおいて、シフトサイクルを減少させることによりテスト時間を短縮する。

【構成】 バウンダリースキャン回路は、出力用バウンダリースキャンセルB1～Bmをシリアルに接続してなるテストデータレジスタ13と、バウンダリースキャンセルB1～Bm及びD1～Dnのスキャンバスをシリアルに接続してなるシリアルデータバス21と、選択手段17及び18からなる分離手段19と、排他的論理和生成手段15とを備えている。分離手段19は出力用バウンダリースキャンセルB1～Bmのスキャンバスをシリアルデータバス21から分離せしめる。また、排他的論理和生成手段15は、テストデータレジスタ13及び出力用バウンダリースキャンセルB1～Bmのスキャン出力信号a、b1～bpの排他的論理和の演算結果をテストデータレジスタ13にフィードバックする。



【特許請求の範囲】

【請求項1】 複数のピンのそれぞれに対応して設けられ且つそれぞれがスキャンバスを有する複数のバウンダリースキャンセルと、該複数のバウンダリースキャンセルのスキャンバス同士がシリアルに接続されてなるシリアルデータバスとを備えているバウンダリースキャン回路であって、

上記複数のバウンダリースキャンセルのスキャンバスのうちの少なくとも1つのスキャンバスを上記シリアルデータバスから分離せしめる分離手段を備えていることを特徴とするバウンダリースキャン回路。

【請求項2】 複数のピンのそれぞれに対応して設けられ且つそれぞれがスキャンバスを有する複数のバウンダリースキャンセルと、該複数のバウンダリースキャンセルのスキャンバス同士がシリアルに接続されてなるシリアルデータバスとを備えているバウンダリースキャン回路であって、

上記複数のバウンダリースキャンセルのうちの少なくとも2つのバウンダリースキャンセル同士がシリアルに接続されてなるレジスタと、該レジスタを構成するバウンダリースキャンセルのすべてのスキャンバスを上記シリアルデータバスから分離せしめる分離手段と、上記レジスタを構成するバウンダリースキャンセルが出力するスキャン出力信号のうちの少なくとも1つのスキャン出力信号と上記レジスタが出力するスキャン出力信号との排他的論理和を演算しその演算結果を該レジスタのスキャン入力に出力する排他的論理和生成手段とを備えていることを特徴とするバウンダリースキャン回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は集積回路において入出力ピンに対応して設けられたバウンダリースキャンセルを備えているバウンダリースキャン回路に関するものである。

【0002】

【従来の技術】 近年、ボード（プリント基板等）上の構成部品の集積度が飛躍的に向上し、従来のインサーキットテスター等によるボードの評価が物理的に困難になりつつある。そこで、集積回路において入出力ピンに対応してバウンダリースキャンセルを設けておき、該集積回路を用いてボードテストを行うことが重要になってきている。このようなボードテストはバウンダリースキャンと呼ばれており、該バウンダリースキャンについてはIEEE1149.1により標準化が図られている。

【0003】 以下IEEE1149.1に準拠した集積回路即ち従来のバウンダリースキャン回路を用いた場合のボード上の部品間の配線テストを図面に基づいて説明する。

【0004】 図4及び図5はIEEE1149.1に準拠したバウンダリースキャンレジスタを内蔵する従来の

バウンダリースキャン回路が適用されたボードの構成の概略を示す図である。同図において、集積回路1及び2は、出力として定義された出力ピンP1～Pn、Q1～Qmをそれぞれ備え、入力として定義された入力ピンR1～Rp、S1～Snをそれぞれ備えている。集積回路1の出力ピンP1～Pnと集積回路2の入力ピンS1～Snとはボード上の配線T1～Tnによりそれぞれ接続されている。集積回路1及び2には、出力ピンP1～Pn、Q1～Qmに対応して出力用バウンダリースキャンセルU1～Un、V1～Vmがそれぞれ配置されており、入力ピンR1～Rp、S1～Snに対応して入力用バウンダリースキャンセルY1～Yp、Z1～Znがそれぞれ配置されている。バウンダリースキャンセルY1～Yp、U1～Un、Z1～Zn及びV1～Vmのすべてのスキャンバスはシリアルに接続されボード上におけるシリアルデータバス3を構成している。このシリアルデータバス3へのデータはボード上の入力ポート4から入力され、シリアルデータバス3からのデータはボード上の出力ポート5から出力される。

【0005】 以上のように構成された従来のバウンダリースキャン回路において配線T1～Tnの1縮退故障テストを行う際の動作について図4、図5及び図6を基に説明する。予め、SAMPLE/PRELOAD命令により、出力用バウンダリースキャンセルにテストデータがスキャンインされている。この場合、集積回路1の出力用バウンダリースキャンセルU1～Unのすべてには論理値0が入力されている（図4参照）。そして、EXTTEST命令を実行することにより集積回路1の全ての出力ピンP1～Pnからテストデータとしての論理値0が出力される。

【0006】 図6はIEEE1149.1で規定されたTAPコントローラの状態遷移図であり、同図において、TAPコントローラがステートst1のCaputer状態のときに、集積回路2の入力用バウンダリースキャンセルZ1～Znに、配線T1～Tnを通じて集積回路2の入力ピンS1～Snが受け取った結果データとしての論理値がロードされる（図5参照）。そして、TAPコントローラがステートst2のShift状態のときに、集積回路2の入力用バウンダリースキャンセルZ1～Znにロードされた結果データとしての上記論理値が出力用バウンダリースキャンセルV1～Vmを経て出力ポート5からスキャンアウトされる。スキャンアウトされたすべてのシリアルデータのうち上記結果データとしての論理値の列がテストデータ（オール0）と比較されることにより配線T1～Tnの1縮退故障を検出することができる。

【0007】

【発明が解決しようとする課題】 ところで、上記のような従来のバウンダリースキャン回路においては、配線テストを行なうに際して、テストデータをスキャンインし

てから結果データをスキャンアウトするまでに $p + 2n + m$ サイクルのシフト動作が必要である。

【0008】ところが、一般のボードにおいて、例えば、入力ピンの合計数が i 本であり出力ピンの合計数が j 本であるとする、原理的には、配線テストのテストデータをスキャンインするのに約 $(i + j)$ サイクルの時間が必要であり、配線テストの結果データをスキャンアウトするのに約 $(i + j)$ サイクルの時間が必要であるため、テスト時間全体としては約 $2 \times (i + j)$ サイクルとなるので、部品の増加に従い飛躍的にテスト時間が増加していくといった問題がある。

【0009】本発明は上記問題に鑑みなされたものであって、シフトサイクルを減少させることにより配線テストのテスト時間を短縮することが可能なバウンダリースキャン回路を提供することを目的とする。

【0010】

【課題を解決するための手段】上記の目的を達成するため、請求項1の発明は、配線テストの結果データのスキ
ャンアウト時に不要な内容を持つバウンダリースキャン
セルのスキャンバスをシリアルデータバスから分離せし
めることにより、シリアルデータバスを短縮するもので
ある。

【0011】具体的に請求項1の発明が講じた解決手段は、複数のピンのそれぞれに対応して設けられ且つそれぞれがスキャンバスを有する複数のバウンダリースキャンセルと、該複数のバウンダリースキャンセルのスキ
ャンバス同士がシリアルに接続されてなるシリアルデータ
バスとを備えているバウンダリースキャン回路を対象とし、上記複数のバウンダリースキャンセルのスキャンバス
のうちの少なくとも1つのスキャンバスを上記シリアル
データバスから分離せしめる分離手段を備えている構成
とするものである。

【0012】さらに、請求項2の発明は、複数のバウン
ダリースキャンセルによりレジスタを構成し、レジスタ
のスキャン出力信号と該レジスタを構成するバウンダ
リースキャンセルの少なくとも1つのスキャン出力信号と
の排他的論理和の演算結果を該レジスタのスキャン入力
に入力することにより、リニアフィードバックシフトレ
ジスタ(LFSR)を構成することによって、配線テスト
のテストデータを生成するものである。

【0013】具体的に請求項2の発明が講じた解決手段は、複数のピンのそれぞれに対応して設けられ且つそれぞれがスキャンバスを有する複数のバウンダリースキャンセルと、該複数のバウンダリースキャンセルのスキ
ャンバス同士がシリアルに接続されてなるシリアルデータ
バスとを備えているバウンダリースキャン回路を対象とし、上記複数のバウンダリースキャンセルのうちの少な
くとも2つのバウンダリースキャンセル同士がシリアル
に接続されてなるレジスタと、該レジスタを構成するバ
ウンダリースキャンセルのすべてのスキャンバスを上記

シリアルデータバスから分離せしめる分離手段と、上記
レジスタを構成するバウンダリースキャンセルが出力す
るスキャン出力信号のうちの少なくとも1つのスキャン
出力信号と上記レジスタが出力するスキャン出力信号と
の排他的論理和を演算しその演算結果を該レジスタのスキ
ャン入力に出力する排他的論理和生成手段とを備えて
いる構成とするものである。

【0014】

【作用】上記請求項1の発明の構成により、配線テスト
の結果データのスキャンアウト時において、分離手段は
不要な内容を持つバウンダリースキャンセルのスキャン
バスをシリアルデータバスから分離することができる。
従って、例えば、テストデータ入力ピンとテストデータ
出力ピンとの間のシリアルデータバスをチップの入力ピン
に対して設けられた入力用バウンダリースキャンセル
のスキャンバスだけに大幅に短縮することができる。

【0015】さらに、請求項2の発明の構成により、レ
ジスタのスキャン出力信号と該レジスタ内のバウンダ
リースキャンセルの少なくとも1つのスキャン出力信号と
の排他的論理和の演算結果を該レジスタのスキャン入力
に入力する、即ち、フィードバックすることによりリニ
アフィードバックシフトレジスタ(LFSR)を構成す
ることができる。上記LFSRは疑似ランダムパターン
の発生器として動作させることが可能であるため、配線
テストで使用するテストデータを生成することができ
る。

【0016】

【実施例】以下、本発明の一実施例に係るバウンダ
リースキャン回路を図面に基づいて説明する。

【0017】図1は上記実施例に係るバウンダリース
キャン回路を示しており、同図において、チップ10には
テストデータ入力ピン11とテストデータ出力ピン12
とが設けられており、テストデータ入力ピン11には任
意のシリアルデータが入力され、テストデータ出力ピン
12からは配線テストの結果データが出力される。

【0018】テストデータレジスタ13は、出力と定義
されている複数の出力ピンA1～Amのそれぞれに対応
して設けられた出力用バウンダリースキャンセルB1～
Bmのスキャンバスをシリアル接続して構成され、テスト
データレジスタ14は、入力と定義されている複数の
入力ピンC1～Cnのそれぞれに対応して設けられた入
力用バウンダリースキャンセルD1～Dnのスキャンバス
をシリアル接続して構成されている。

【0019】テストデータレジスタ13から出力される
スキャン出力信号aと、複数の出力用バウンダリース
キャンセルB1～Bmから出力されるスキャン出力信号の
うち少なくとも1つのスキャン出力信号b1～bpとは
排他的論理和生成手段15に入力され、該排他的論理和
生成手段15はスキャン出力信号a及びb1～bpの排
他的論理和を演算しその演算結果を出力する。

【0020】排他的論理和生成手段15の上記演算結果は、制御信号cにより制御される2入力1出力の選択手段16の一方の入力端子βに入力され、選択手段16の出力信号は、テストデータレジスタ13のスキャン入力端子に入力される。選択手段16の出力信号としては、制御信号cが論理値1のときには入力端子αに入力されている信号が選択される一方、制御信号cが論理値0のときには入力端子βに入力されている信号が選択される。これにより、制御信号cが論理値0のとき、テストデータレジスタ13と排他的論理和生成手段15と選択手段16とによりリニアフィードバックシフトレジスタ22を構成することができ、該リニアフィードバックシフトレジスタは疑似ランダムパターン生成器として機能する。

【0021】テストデータ入力ピン11から入力された任意のシリアルデータは、制御信号dにより制御される1入力2出力の選択手段17に入力される。上記任意のシリアルデータは、選択手段17の出力信号として、制御信号dが論理値1のときには該出力信号の出力端子として出力端子αが選択され出力端子αから出力される一方、制御信号dが論理値0のときには該出力信号の出力端子として出力端子βが選択され出力端子βから出力される。選択手段17の出力端子αから出力された出力信号は選択手段16の入力端子αに入力され、選択手段17の出力端子βから出力された出力信号は選択手段18の入力端子βに入力される。

【0022】選択手段18の出力信号としては、制御信号eが論理値1のときには入力端子αに入力されている信号が選択される一方、制御信号eが論理値0のときには入力端子βに入力されている信号が選択される。選択手段18の入力端子αにはテストデータレジスタ13のスキャン出力信号aが入力される。選択手段18の出力信号はテストデータレジスタ14のスキャン入力端子に入力される。また、テストデータレジスタ14のスキャン出力信号は、テストデータ出力ピン12から出力される。

【0023】上記2つの選択手段17及び18は分離手段19を構成し、該分離手段19は、出力用バウンダリースキャンセルB1～Bm及び入力用バウンダリースキャンセルD1～Dnのスキャンバス同士をシリアル接続してなるシリアルデータバス21から、テストデータレジスタ13内の出力用バウンダリースキャンセルB1～Bmのすべてのスキャンバスを分離せしめる。

【0024】TAPコントローラが図6におけるステートst2のShift状態のときに論理値1となる制御信号fは、選択手段20の入力端子αと、テストデータレジスタ14の各スキャンクロック入力端子とに入力される。また、TAPコントローラが図6におけるステートst3のExit1状態のときに論理値1となる制御信号gは、選択手段20の入力端子βに入力される。選

択手段20の出力信号としては、制御信号hが論理値1のときには入力端子αに入力されている信号が選択される一方、制御信号hが論理値0のときには入力端子βに入力されている信号が選択される。選択手段20の出力信号はテストデータレジスタ13の各スキャンクロック入力端子に入力される。

【0025】以上のように構成されたバウンダリースキャン回路における配線テスト時の動作を以下図2、図3及び図6に基づいて説明する。図2及び図3において、チップ10の出力ピンA1～Amは、配線E1～Emにより他のチップ30の入力ピンF1～Fmとそれぞれ接続され、チップ10の入力ピンC1～Cnは、配線G1～Gnによりまた別のチップ50の出力ピンH1～Hnとそれぞれ接続されているものとする。ここで、チップ30及び50はチップ10と同様のバウンダリースキャン回路を持つものとする。

【0026】まず、通常のIEEE1149.1におけるSAMPLE/PRELOAD命令時には、制御信号c、d、e及びhは論理値1となる。このとき、テストデータ入力ピン11とテストデータ出力ピン12との間のシリアルデータバス21は図2の太線で示すようにバウンダリースキャンセルB1～Bm及びD1～Dnのすべてのスキャンバスにより構成されている。この状態でテストデータレジスタ13に任意の論理値がテストデータ入力ピン11からスキャンインされる。

【0027】次に、ある命令Xがカレント命令にされる。この命令Xがカレント命令である間、制御信号c、d、e及びhは論理値0となることにより図3の太線で示すようにシリアルデータバス21からテストデータレジスタ13を分離することができる。このときテストデータレジスタ13と排他的論理和生成手段15と選択手段16とによりリニアフィードバックシフトレジスタ22が構成され、疑似ランダムパターン生成器として機能する。

【0028】図6はIEEE1149.1で規定されたTAPコントローラの状態遷移図であり、同図において、TAPコントローラがステートst1のCapture状態のとき、テストデータレジスタ14内のバウンダリースキャンセルD1～Dnには、チップ50の出力用バウンダリースキャンセルI1～Inから配線G1～Gnを通じて配線テストの結果データとしての論理値がロードされる。

【0029】次に、TAPコントローラがステートst2のShift状態のとき、テストデータレジスタ14内容だけがシリアルデータバス21を通じてテストデータ出力ピン12からスキャンアウトされる。このようにスキャンアウトされた結果データとチップ50の出力ピンH1～Hnに対応して設けられた出力用バウンダリースキャンセルI1～Inの値(テストデータ)とが比較されることにより配線G1～Gnの配線テストが行なわ

れる。

【0030】次に、TAPコントローラがステートst 3のExit 1状態のときに制御信号gによりテストデータレジスタ13の内容が変化する、TAPコントローラがステートst 6のUpdate状態のときに配線E1～Enの配線テストの新しいテストデータが出力される。

【0031】このように、上記実施例に係るバウンダリースキャン回路によると、配線テストの結果データのスキャンアウト時において、テストデータ入力ピン11とテストデータ出力ピン12との間のシリアルデータバス21をチップ10の入力ピンC1～Cnに対応して設けられた入力用バウンダリースキャンセルD1～Dnのスキャンバスだけに大幅に短縮することができる。このため、入力用バウンダリースキャンセルD1～Dnが受け取った結果データをスキャンアウトするのに要するサイクル数を飛躍的に短縮することができるので、配線テストのテスト時間を大幅に短縮することが可能である。

【0032】さらに、テストデータレジスタ13はリニアフィードバックシフトレジスタ22化されるため、疑似ランダムパターン発生器として働き、自動的に配線テストのテストデータを生成することができる。従って、テストデータをスキャンインする必要がなくなりテストデータをスキャンインするサイクルが不要となるため、配線テストのテスト時間を大幅に短縮することが可能である。

【0033】

【発明の効果】以上説明したように、請求項1の発明に係るバウンダリースキャン回路によると、ボード上の配線テストを行う際における結果データのスキャンアウト時に、不要な内容を持つバウンダリースキャンセルのスキャンバスをシリアルデータバスから分離せしめることができるため、シリアルデータバスを大幅に短縮することができ、結果データのスキャンアウトサイクルを飛躍的に減少させることが可能である。

【0034】さらに、請求項2の発明に係るバウンダリースキャン回路によると、複数のバウンダリースキャンセルによりレジスタを構成し、レジスタのスキャン出力信号と該レジスタを構成するバウンダリースキャンセルの少なくとも1つのスキャン出力信号との排他的論理和

の演算結果を該レジスタのスキャン入力に入力することにより、リニアフィードバックシフトレジスタ(LFSR)を構成することができるため、配線テスト用のテストデータを生成することが可能である。このため、予めテストデータをスキャンインしておく必要がなくなるのでスキャンインサイクルを省略することができる。例えば、一般のボードにおいて入力ピンの合計数がi本であり出力ピンの合計数がj本であるとする、配線テストのテストデータをスキャンインする必要がないためテストデータを得るための時間は0であり、配線テストの結果データをスキャンアウトするのに必要な時間は約iサイクルであるため、テスト時間は全体で約iサイクルとなる。従来のバウンダリースキャン回路による場合に比較して、配線テストのテスト時間を約 $i / \{2 \times (i + j)\}$ に短縮することができる。ここで、入力ピンと出力ピンとがほぼ同数の場合には、配線テストのテスト時間は実に約4分の1に短縮される。

【0035】従って、本発明によると、シフトサイクルを飛躍的に減少させることができるため配線テストのテスト時間を大幅に短縮することが可能である。

【図面の簡単な説明】

【図1】本発明の一実施例に係るバウンダリースキャン回路を示す配線図である。

【図2】上記バウンダリースキャン回路のシリアルデータバスを示す配線図である。

【図3】上記バウンダリースキャン回路のシリアルデータバスの分離状態を示す配線図である。

【図4】従来のバウンダリースキャン回路を示す配線図である。

【図5】従来のバウンダリースキャン回路を示す配線図である。

【図6】TAPコントローラの状態遷移図である。

【符号の説明】

13 テストデータレジスタ

15 排他的論理和生成手段

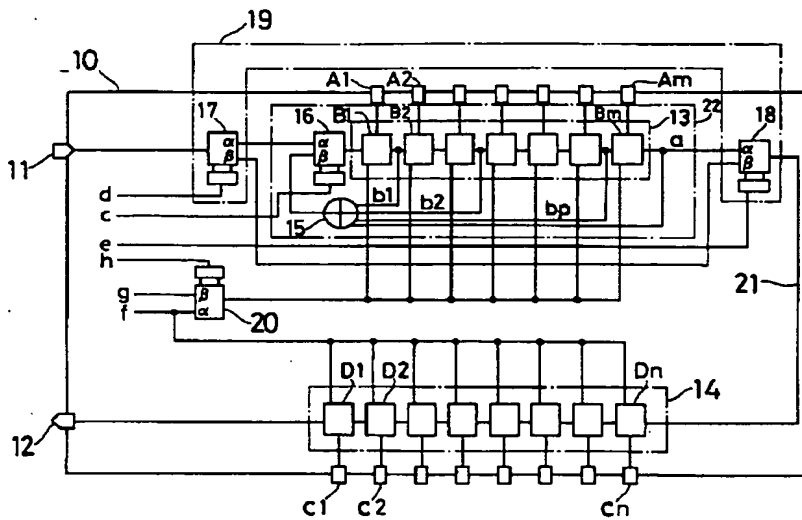
19 分離手段

21 シリアルデータバス

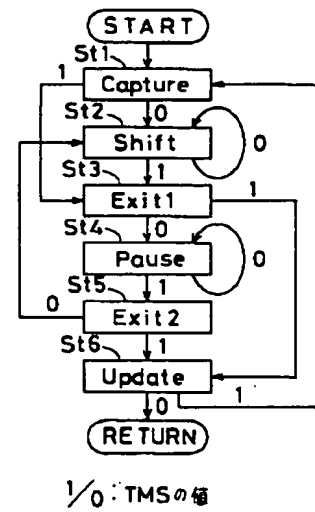
B1～Bm 出力用バウンダリースキャンセル

D1～Dn 入力用バウンダリースキャンセル

【図1】

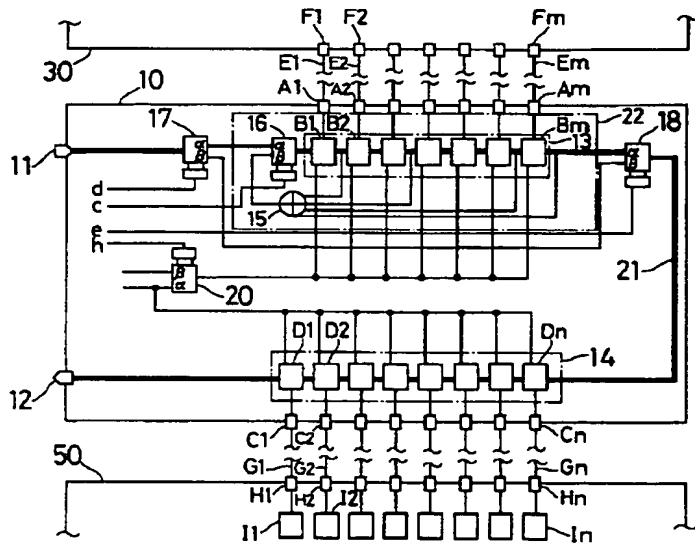


【図6】

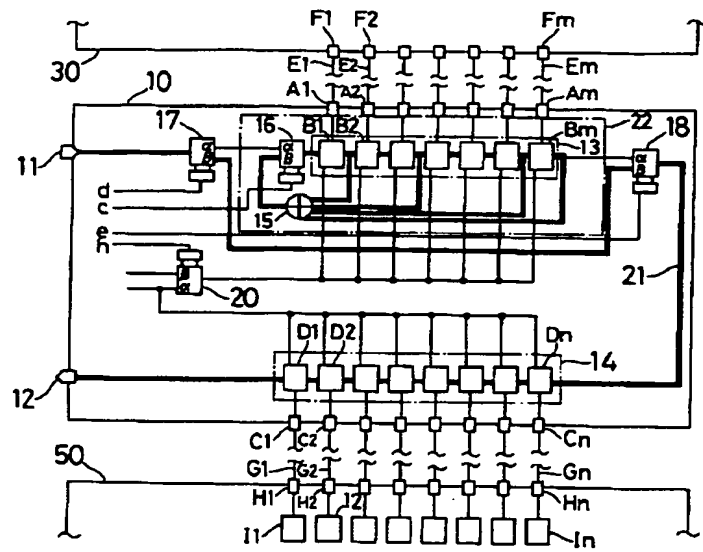


1/0: TMSの値

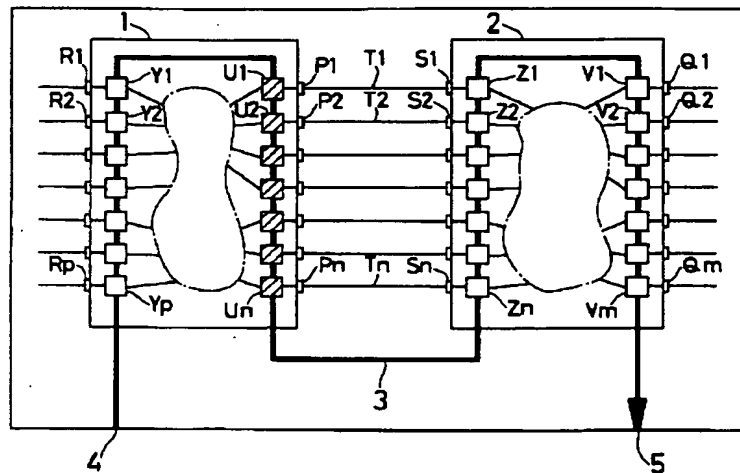
【図2】



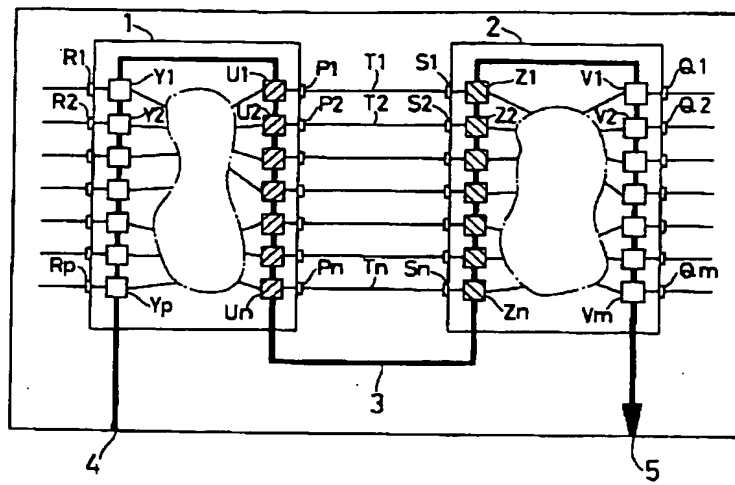
【図 3】



【図4】



【図5】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.